



(19)

(11) Publication number:
Generated Document.**63091766 A****PATENT ABSTRACTS OF JAPAN**(21) Application number: **61237552**(51) Int'l. Cl.: **G06F 13/16 G06F 12/06**(22) Application date: **06.10.86**

(30) Priority:

(43) Date of application
publication: **22.04.88**(84) Designated
contracting states:(71) Applicant: **FUJITSU LTD**(72) Inventor: **FURUTO TOKUJI**

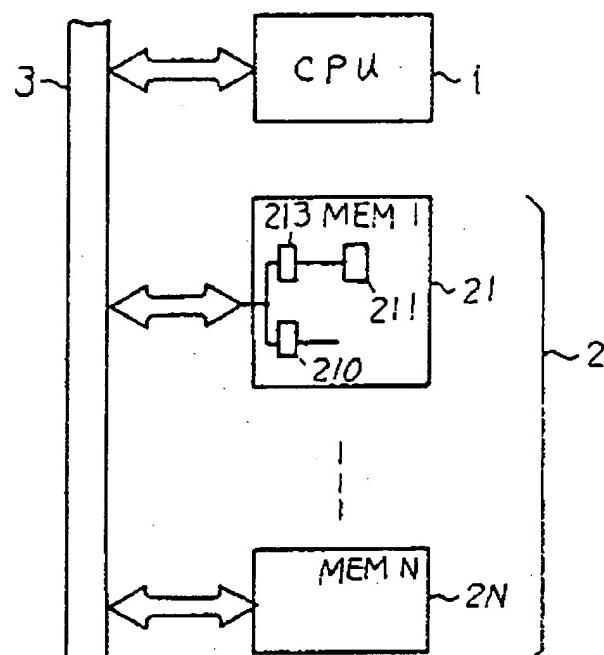
(74) Representative:

**(54) CONTROL SYSTEM FOR
ACCESSING MEMORY****DEVICE**

(57) Abstract:

PURPOSE: To accelerate accessing at high speed, by dividing a memory device connected to a common bus into N sets, and providing a circuit to set the transmission/reception timing of data on each set, and a circuit to set an instruction which suppresses the accessing.

CONSTITUTION: The memory device 2 connected to the common bus 3 is divided into N sets, and the circuit 210 which sets the transmission/reception timing of a readout data, or a write data, and the circuit 211 which sets the instruction to suppress the accessing to each of the memory devices 21W2N, are provided. Control is applied on the plural sets of the memory devices except the memory device being instructed to suppress the accessing by the circuit 211 among the memory devices 21W2N, so as to access with a set transmission/reception timing. Therefore, it is possible to perform the accessing efficiently even in a computer system being provided with a two-way common bus capable of accessing in a single accessing action and with a data width smaller compared with a data length desired to access.



(19) PATENT OFFICE OF JAPAN
(11) PATENT APPLICATION LAID-OPEN

(12) LAID-OPEN PATENT OFFICIAL GAZETTE (A) NO. SHO 63-91766

(51) Int. Cl.⁴. Identification Mark Patent Office (43) Laid-Open on
G 06 F 13/16 Number April 22, 1988
12/06 H-6711-5B (Showa 63)
 K-6711-5B
 W-6711-5B

Request for Examination Not Requested Number of Invention 1 (6 pages)

(54) Name of Invention Memory Access Control System

(21) Patent Application Showa 61-237552

(22) Application Filed on October 16, 1986

(Showa 61)

(72) Inventor Tokuji Furuto Fujitsu, Ltd.

1015 Shimoodanaka, Nakahara-ku
Kawasaki-city, Kanagawa-prefecture
Japan

(71) Applicant Fujitsu, Ltd. 1015 Shimoodanaka, Nakahara-ku
Japan
Kawasaki-city, Kanagawa-prefecture
Japan

(74) Agent Teiichi Igeta, Patent Attorney

SPECIFICATION

1. Invention

Memory Access Control System

2. Claims

(1) A memory access control system in a data processing computer system utilizing a bi-directional common bus (3), which is characterized by having memory unit (2), which is connected to the common bus (3), divided into N number,

Each of N number of the memory units (21-2N) equipped with a means (210) to set the transmission/reception timing for reading or writing data by a command from the CPU (1),

And a circuit (211) to set up an instruction to restrain an access to each of the N number of memory units (21-2N), making the system capable of accessing more than one memory units (21-2N), except those (21-2N) for which the access restraint is instructed, with the transmission/reception timing set as above.

(2) A memory unit access control system described in the claim (1) of the Invention (patent) which controls the computer system so that the data is consecutively transmitted N times with a data width of the above mentioned common bus (1), using a single command from the CPU (1), by setting the consecutive transmission/reception timing at

each of the circuits (210) which set the above mentioned transmission/reception timing of the above-mentioned N units of the memory (21-2N).

- (3) A memory unit access control system described in the claim (1) of the Invention (patent), which characteristic is to control as desired the sequence of the data transferred to N units of memory devices (21-2N), which are transferred on the common bus (1), by a single command from the CPU, by setting the transmission/reception timing as desired so that they do not compete with one another at each of the circuits (210) which set the above transmission/reception timing of the above-mentioned N units of the memory (21-2N).
- (4) A memory unit access control system described in the claim (1), (2), or (3), which characteristic is to control the computer system so that only those memory units (21-2N) for which the access restraining instruction has not been set up are accessed, using a single command from the CPU (1), by setting the above access restraining instruction in each of the circuits (211), at which the above access restraining instruction is set, of the above N number of memory units (21-2N) .

3. Detailed Explanation of the Invention

(Summary)

In a data processing system using a bi-directional common bus, the memory device (storage system) connected to the common bus is divided into N units, each of which has a circuit which sets the timing of transmission/reception of reading or writing data by a command from the CPU, and a circuit which sets an instruction to restrain an access to each of the N number of the memory unit, thus the system can access the N number of memory units, except those for which the access restraining instruction has been set at the circuit at which the access restraining instruction is set, with the transmission/reception timing set as above.

[Area of Industrial Use]

The Invention is related to a system which controls an access to more than one memory units which are connected to a common bus, in a data processing system utilizing a bi-directional common bus.

The data bus width in a computer system of mid-size or smaller is usually 1-4 bytes. In a super large-size computer system, on the other hand, the data width is generally extended to 8 bytes.

Therefore, a computer system, which is equipped with a bi-directional common bus is often used in a computer system of mid-size or smaller due to economic reasons, having the data width of 1-4 bytes as mentioned above.

However, even in a mid-size or smaller computer system equipped with a bi-directional common bus, the data width of the data which is actually processed is often 8 byte or greater, and it is necessary to have an efficient data access for the data with a data width of 8 bytes or more.

[Conventional Technology and the Problem to Solved by the Invention]

Figure 3 explains a conventional memory access control system, while (a) shows an example of its configuration and (b) shows a motion time chart.

In the event of the CPU 1 accessing and reading data, which data width surpasses that of the common bus 3, from the memory unit (MEM) 2, via bi-directional common bus 3, more than one access is necessary as the time chart in Figure (b) shows.

If we assume the time to access MEM 2 as $4 t$, the clock number necessary to transfer to the CPU 1 the data with a data width as that of the common bus 3 (M bit) N number of times would be $7N t$, as the figure shows. When transferring the data with a data width surpassing that of the common bus 3, the transfer time is longer, thus generating a problem of greatly reducing the processing performance of the computer system.

The objective of the Invention is to solve the above-mentioned problem in the conventional technology and to provide a method to speedily access the data which width surpasses that of the common bus in a computer system utilizing a common bus.

[A Means to Solve the Problem]

Figure 1 shows an example of the configuration of the memory unit access control system of the Invention.

In the Invention, in the data processing system utilizing a bi-directional common bus 3,

the MEM 2 connected to the common bus 3 is divided into N units, and
Each of the N number of memory units (21-2N) are equipped with a means 210 to set the reading or writing data transmission/reception timing by a command from the CPU 1, and,

A circuit 211 to set an instruction to restrain access to each of the N number of memory units (21-2N), and thus,

The access is controlled so that, except those memory units (21-2N) for which the restraining instruction has been given from the Circuit 211, the memory units (21-2N) are accessed with the transmission/reception timing, which was set as above.

[Function]

In other words, in the data processing computer system utilizing a bi-directional common bus, the Invention has an effect to make the data access efficient even in a computer system equipped with a bi-directional common bus which has a data width accessible by single access shorter than the data length to be accessed, by dividing the memory unit connected to the common bus into N number of units, by setting up at each of the N units of the memories a means to set the transmission/reception timing for reading or writing data by a single command from the CPU, and a circuit to set up an instruction to restrain access to each of the memory units, thus letting the system access more than one memory units, except those memory units for which the above described circuit sets an instruction to restrain the access to

them, in accordance with the transmission/reception timing set as above.

[Example]

The following figures show details of (Working) Examples of the Invention. The Figure 1 mentioned above shows an example of the configuration of the memory access control system of the Invention. Figure 2 shows an example of the memory unit access motion of the Invention in a time chart. The transmission/reception timing setting circuit 210 and memory access restraining circuit 211 in Figure 1 are the necessary means to implement the Invention. In all figures same symbols mean the same objects.

In the following section, the memory unit access control system of the Invention is explained by using Figure 2, while simultaneously referring to Figure 1.

First, Figure 2 (a) explains the motion of reading N number of consecutive data from N number of memory units (21-2N).

After the CPU 1 issues a specific command and sets a consecutive transmission timing which are not mutually competitive to the transmission/reception timing setting circuit 210, which are generated at each of the N number of memory units (MEM 1 - MEM N: 21-2N), via common bus 3, when it issues a specific read command (1), with the next timing, the command is set at the command register 213 at each of the memory units (MEM 1- MEM N: 21-2N), for example, after the access time of the memory units (MEM 1- MEM N: 21-2N) (in this example 4t) (2), the M byte width data is sent to the common bus 3 in sequence, in accordance with the timing set by the transmission/reception timing setting Circuit 210 (3), and the CPU 1 reads it.

Then, as Figure 2 (b) shows, after the CPU 1 issues a specific command to set a desired transmission timing which is neither mutually competitive nor consecutive at the transmission/reception timing setting circuit 210, which is set up at each of the N number of memory units (MEM 1 - MEM N: 21-2N), via the Common Bus 3, when the CPU 1 issues a specific read command (1), in the following timing, the command is set at the command register 213 at each of the memory units (MEM 1-MEM N: 21-2N), for example, after the access time of the memory units (MEM 1-MEM N:21-2N) (4 t in this example) (2), the data with M byte width is sent to a desired common bus 3 in accordance with the timing shown in the figure, which is set at the transmission/reception timing setting circuit 210 (3), and the CPU 1 reads it.

Next, as Figure 2 (c) shows, the CPU 1 issues a specific command to set a desired transmission timing which is neither mutually competitive nor consecutive at the transmission/reception timing setting circuit 210, which is set up at each of the N number of memory units (MEM 1-MEM N: 21-2N), and then after setting a command to restrain the access to a memory unit at the memory access restraining circuit at the MEM 5-, for example, when the CPU 1 issues a specific read command (1), in the following timing, the command is set up at the command register at each of the memory units (MEM 1 - MEM N: 21-2N). Among those, only MEM 1 through MEM 4 (21-24) are activated and, for example, after the access time (4 t in this example) of

the memory units (MEM 2- MEM N: 21-2N) (2), in accordance with the timing shown in the figure, which is set at the transmission/reception timing setting circuit 210, the data with M-byte width is sent to a desired common bus 3 (3), and the CPU 1 reads it, so that the only the necessary data (for example 4M byte) can be read with a minimum percentage of the bus use (4 t in this example).

Moreover, in the above example, as it was explained in the case of reading, the data writing on the memory units (MEM 1-MEM N: 21-2N) would be operated in the same manner.

In the Invention, in a data processing computer system utilizing a bi-directional common bus, the memory unit connected to the common bus is divided into N number of units, each of which is equipped with a circuit to set up the transmission/reception timing of reading or writing data by a command from the CPU, and a circuit to set an instruction to restrain access to the memory. Before accessing the memory units, consecutive transmission/reception timing, or desired and mutually non-competitive transmission/reception timing, and an instruction to restrain access to specific memory units are set, when the CPU issues a read command, for example, the command would be set at all the memory units (MEM 1-MEM N), and then, the data is sent to the common bus only from those memory units for which the restraining instruction has not been set, in accordance with the transmission/reception timing set as the above command, and the CPU reads it.

[Effect of the Invention]

As it was explained in detail as above, the memory access control system in the Invention divides the memory unit connected to a bi-directional common bus into N number of units in a data processing computer system utilizing a bi-directional common bus, and by setting up a means to set the transmission/reception timing of reading or writing data by a command from the CPU, and a circuit to set an instruction to restrain access to each of the N number of memory units, at each of the N number of memory units, the system becomes capable of accessing more than one memory units, except those memory units for which the access restraining instruction has been given by the above mentioned circuit, out of N number of memory units, in accordance with the transmission/reception timing set as above. Therefore, even in a computer system having a bi-directional common bus with a data width of single access shorter than the data length to be accessed, the system can accomplish an efficient data access to the memory units.

4. A Simple Explanation of the Figures

Figure 1 shows an example of the configuration (construction) of the memory access control system of the Invention.

Figure 2 shows a time chart describing an example of the memory access motion of the Invention.

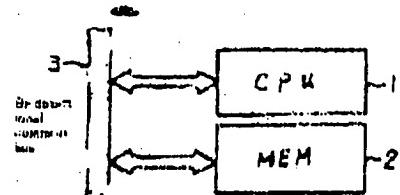
Figure 3 explains a conventional memory access control system.

In the figures,

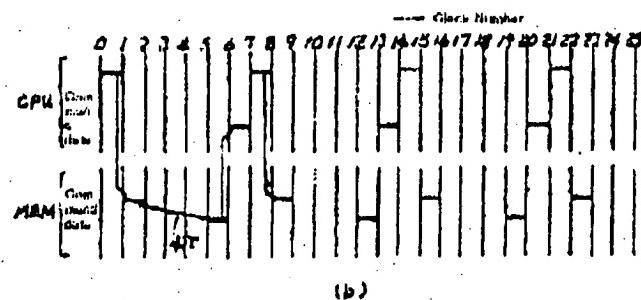
1 is the Central Processing Unit (CPU) and 2 is a Memory Unit (MEM).

21-2N are Memory Units (MEM 1-MEM N).
210 is a circuit to set the transmission/reception timing.
211 is a memory access restraining circuit.
213 is a command register.
(1)-(3) are access motions.

Agent: Teiichi Igeta, Patent Attorney



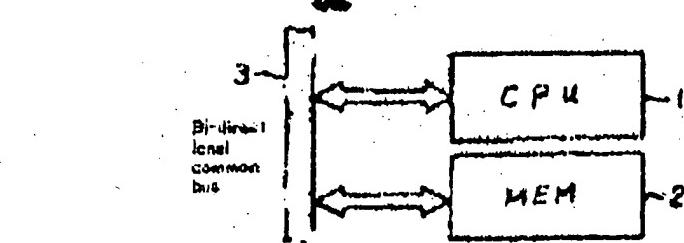
(a)



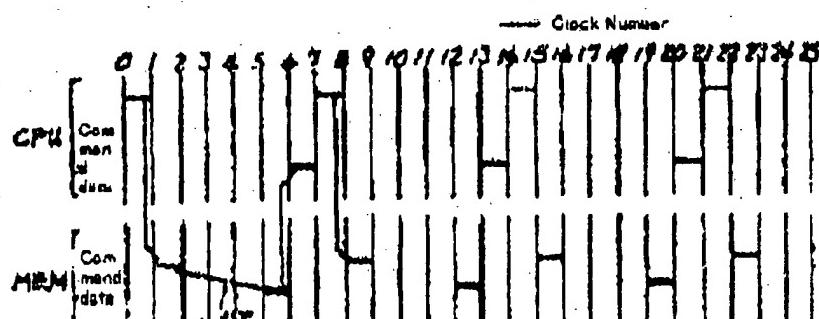
(b)

Figure explaining the conventional memory access control system

Figure 2



(a)



(b)

Figure explaining the conventional memory access control system

Figure 3

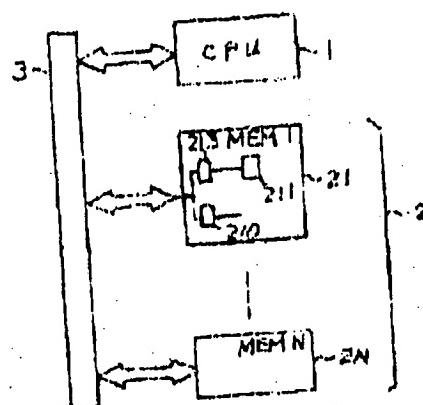
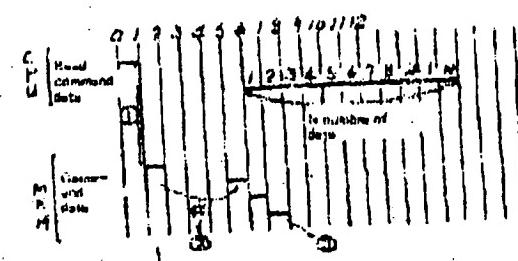


Figure 1

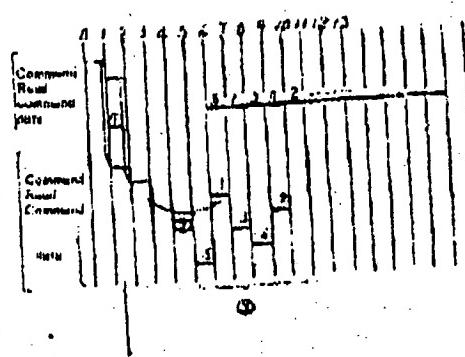


Each memory unit receives the read command from the CPU simultaneously.

(A)

Figure indicating an example of the memory access motion of the invention in a time chart.

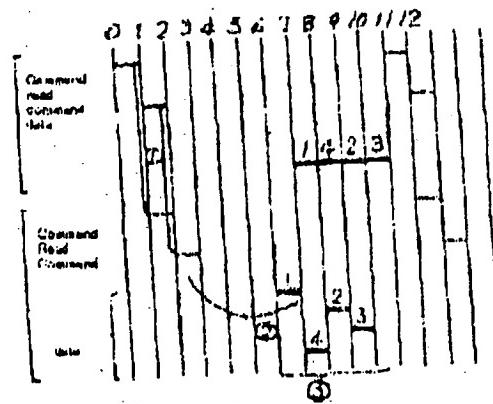
Figure 2 (A)



(B)

Figure indicating an example of the memory access motion in a time chart.

Figure 2 (B)



(C)

Figure indicating an example of the memory access motion of the invention in a time chart.

Figure 2 (C)

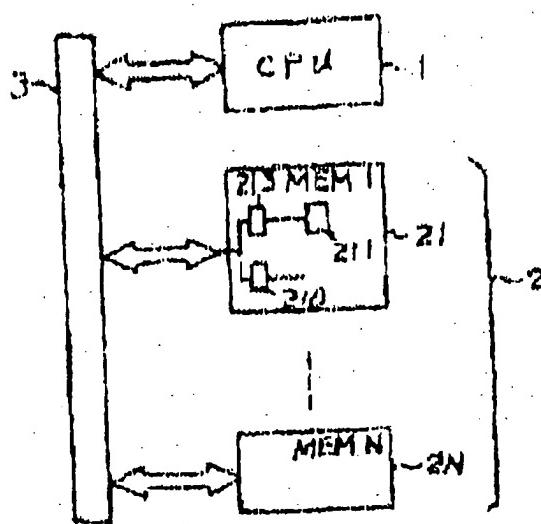
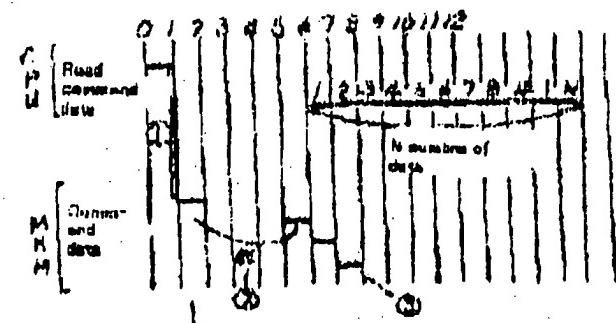


Figure indicating an example of the configuration of the memory access control system of the invention.

Figure 1

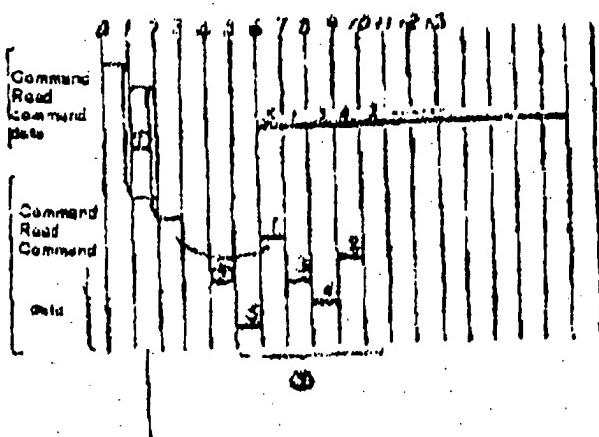


Each memory unit receives the read command from the CPU simultaneously.

(a)

Figure indicating an example of the memory access motion of the invention in a time chart.

Figure 2 (1)

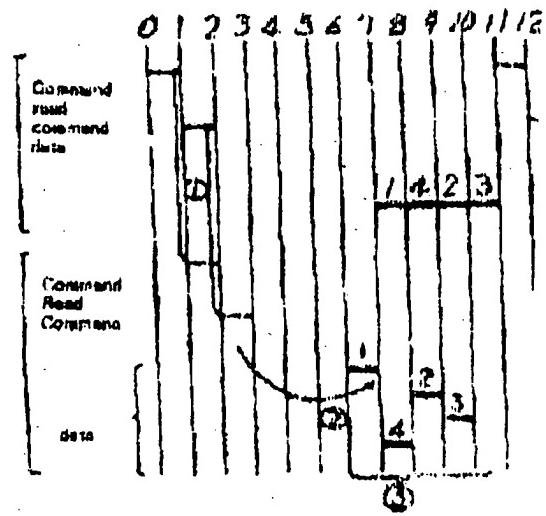


flat value of the transmission/reception setting circuit of each memory unit.

(1)

Figure indicating an example of the memory access motion in a time chart.

Figure 2 (1)



(2)

Figure indicating an example of the memory access motion of the invention in a time chart.

Figure 2 (2)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-91766

⑬ Int. Cl.

G 06 F 13/16
12/06

識別記号

序内整理番号

H-6711-5B

K-6711-5B

W-6711-5B

⑭ 公開 昭和63年(1988)4月22日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 記憶装置アクセス制御方式

⑯ 特願 昭61-237552

⑰ 出願 昭61(1986)10月6日

⑱ 発明者 古戸 徳二

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社

神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

記憶装置アクセス制御方式

2. 特許請求の範囲

(1) 双方向性の共通バス(3) を用いたデータ処理システムにおいて、

該共通バス(3) に接続されている記憶装置(2) をN個に分割し、

該N個の記憶装置(21 ~ 2N) のそれぞれに、中央処理装置(1) からのコマンドにより、読み出しデータ、又は書き込みデータの送受信タイミングを設定する手段(210) と、

該N個の記憶装置(21 ~ 2N) のそれぞれに対するアクセスを抑止する指示を設定する回路(211) とを設け、

該N個の記憶装置(21 ~ 2N) の内、上記抑止指示を設定する回路(211) にアクセスの抑止を指示された記憶装置(21 ~ 2N) を除いた複数個の記憶装置(21 ~ 2N) に対して、上記設定した送受信タ

イミングでアクセスすることを特徴とする記憶装置アクセス制御方式。

(2) 上記N個の記憶装置(21 ~ 2N) の上記送受信タイミングを設定する回路(210) のそれぞれに、連続した送受信タイミングを設定することにより、中央処理装置(1) からの單一のコマンドで、上記共通バス(1) のデータ幅のデータを、N回連続して転送するように制御することを特徴とする特許請求の範囲第1項に記載の記憶装置アクセス制御方式。

(3) 上記N個の記憶装置(21 ~ 2N) の上記送受信タイミングを設定する回路(210) のそれぞれに、互いに競合しない任意の送受信タイミングを設定することにより、中央処理装置(1) からの單一のコマンドで、該共通バス(1) 上に転送されるN個の記憶装置(21 ~ 2N) に対する転送データの順序を任意とするように制御することを特徴とする特許請求の範囲第1項に記載の記憶装置アクセス制御方式。

(4) 上記N個の記憶装置(21 ~ 2N) の上記抑止

指示を設定する回路(211)に、抑止指示を設定することにより、中央処理装置(1)からの単一のコマンドで、該抑止指示を設定されなかった複数個の記憶装置(21～)に対してのみ、アクセスするように制御することを特徴とする特許請求の範囲第1項、又は第2項、又は第3項に記載の記憶装置アクセス制御方式。

3. 発明の詳細な説明

(概要)

双方向性の共通バスを用いたデータ処理システムにおいて、該共通バスに接続されている記憶装置をN個に分割し、該N個の記憶装置のそれぞれに、中央処理装置からのコマンドにより、読み出しデータ、又は書き込みデータの送受信タイミングを設定する回路と、該N個の記憶装置のそれぞれに対するアクセスを抑止する指示を設定する回路とを設けることにより、該N個の記憶装置の内、上記抑止指示を設定する回路にアクセスの抑止を指示された記憶装置を除いた複数個の記憶装置に

きることが必要とされる。

(従来の技術と発明が解決しようとする問題点)

第3図は従来の記憶装置アクセス制御方式を説明する図であり、(a)は構成例を示し、(b)は動作タイムチャートを示している。

今、中央処理装置(CPU)1が双方向の共通バス3を介して、記憶装置(MEM)2から該共通バス3のデータ幅を超えるデータをアクセスして読み出す場合、(b)図のタイムチャートで示したように、複数回のアクセスを必要とする。

該記憶装置(MEM)2に対するアクセスタイムを、例えば、4 τ とすると、該共通バス3のデータ幅(Hビット)のデータをN回、中央処理装置(CPU)1に転送するのに必要とするクロック数は、図示の如く $7N\tau$ となり、該共通バス3のバス幅以上のデータを転送する場合には、転送時間が多くなり、当該計算機システムの処理能力を著しく低下させる問題があった。

本発明は上記従来の欠点に鑑み、共通バス方式

対して、上記設定した送受信タイミングでアクセスするようにしたものである。

(産業上の利用分野)

本発明は、双方向性の共通バスを用いたデータ処理システムにおいて、該共通バスに接続されている複数個の記憶装置に対するアクセス制御方式に関する。

通常の中型以下の計算機システムにおけるデータバスの幅は、1～4バイトであり、超大型の計算機システムになると、該データ幅も8バイトに拡張されているのが一般的である。

然して、双方向の共通バスを備えた計算機システムは、経済性指向から、中型以下の計算機システムに用いられることが多く、前述のようにデータ幅も1～4バイトになっている。

所が、このような双方向の共通バスを備えた中型以下の計算機システムにおいても、実際に処理されるデータ幅は、8バイト以上であることが多い、該8バイト幅以上のデータを効率良くアクセスで

の計算機システムにおいて、該共通バスのデータ幅を越えるデータをアクセスする場合にも、高速にアクセスできる方法を提供することを目的とするものである。

(問題点を解決するための手段)

第1図は本発明の記憶装置アクセス制御方式の構成例を示した図である。

本発明においては、

双方向性の共通バス3を用いたデータ処理システムにおいて、

該共通バス3に接続されている記憶装置2をN個に分割し、

該N個の記憶装置(21～2N)のそれぞれに、中央処理装置1からのコマンドにより、読み出しデータ、又は書き込みデータの送受信タイミングを設定する手段210と、

該N個の記憶装置(21～2N)のそれぞれに対するアクセスを抑止する指示を設定する回路211とを設け、

該N個の記憶装置(21～2N)の内、上記抑止指示を設定する回路211にアクセスの抑止を指示された記憶装置(21～2N)を除いた複数個の記憶装置(21～2N)に対して、上記設定した送受信タイミングでアクセスするように制御する。

【作用】

即ち、本発明によれば、双方向性の共通バスを用いたデータ処理システムにおいて、該共通バスに接続されている記憶装置をN個に分割し、該N個の記憶装置のそれぞれに、中央処理装置からのコマンドにより、読み出しデータ、又は書き込みデータの送受信タイミングを設定する手段と、該N個の記憶装置のそれに対するアクセスを抑止する指示を設定する回路とを設けることにより、該N個の記憶装置の内、上記抑止指示を設定する回路にアクセスの抑止を指示された記憶装置を除いた複数個の記憶装置に対して、上記設定した送受信タイミングでアクセスするようにしたものであるので、アクセスしたいデータ長に比較して、

発行して、該N個の記憶装置(MEM 1～MEM N) 21～2Nのそれぞれに設けられている送受信タイミング設定回路210に、共通バス3を介して、互いに競合しない連続した送信タイミングを設定した後、中央処理装置(CPU)1から特定の読み出し命令を発行のすると、次のタイミングにおいて、各記憶装置(MEM 1～MEM N) 21～2Nに該命令が命令レジスタ213に設定され、例えば、Mバイト幅のデータが、該記憶装置(MEM 1～MEM N) 21～2Nのアクセスタイム(本例では、4τ)②後において、該送受信タイミング設定回路210に設定されたタイミングに従って、順次共通バス3に送出③され、中央処理装置(CPU)1に読み取られる。

次に、第2図(b)に示したように、中央処理装置(CPU)1から、特定のコマンドを発行して、該N個の記憶装置(MEM 1～MEM N) 21～2Nのそれぞれに設けられている送受信タイミング設定回路210に、共通バス3を介して、互いに競合しないで、且つ連続していない任意の送信タイミングを設定した後、中央処理装置(CPU)1から特定の読み出

し回のアクセスでアクセスできるデータ幅の短い双方向性の共通バスを備えた計算機システムにおいても、記憶装置に対する効率の良いデータアクセスができると云う効果がある。

【実施例】

以下本発明の実施例を図面によって詳述する。前述の第1図は、本発明の記憶装置アクセス制御方式の構成例を示した図であり、第2図は本発明による記憶装置アクセス動作の例をタイムチャートで示した図であり、第1図における送受信タイミング設定回路210、メモリアクセス抑止回路211が本発明を実施するのに必要な手段である。尚、全図を通して同じ符号は同じ対象物を示している。

以下、第1図を参照しながら第2図によって本発明の記憶装置アクセス制御方式を説明する。

先ず、第2図(a)によって、N個の記憶装置(21～2N)から連続したN個のデータを読み出す場合の動作について説明する。

中央処理装置(CPU)1から、特定のコマンドを

し命令を発行のすると、次のタイミングにおいて、各記憶装置(MEM 1～MEM N) 21～2Nに該命令が命令レジスタ213に設定され、例えば、Mバイト幅のデータが、該記憶装置(MEM 1～MEM N) 21～2Nのアクセスタイム(本例では、4τ)②以後において、該送受信タイミング設定回路210に設定された、図示のタイミングに従って、任意に共通バス3に送出③され、中央処理装置(CPU)1に読み取られる。

次に、第2図(c)に示したように、中央処理装置(CPU)1から、特定のコマンドを発行して、該N個の記憶装置(MEM 1～MEM N) 21～2Nのそれぞれに設けられている送受信タイミング設定回路210に、共通バスを介して、互いに競合しないで、且つ連続していない任意の送信タイミングを設定し、更に、メモリアクセス抑止回路211に、メモリアクセスを抑止する指示を、例えば、記憶装置MEM 5～に設定した後、中央処理装置(CPU)1から特定の読み出し命令を発行のすると、次のタイミングにおいて、各記憶装置(MEM 1～MEM N) 21～

～2Nに該命令が命令レジスタ 213に設定され、その中で、記憶装置(MEM 1～MEM N) 21～24のみが起動され、例えば、M バイト幅のデータが、該記憶装置(MEM 1～MEM N) 21～2Nのアクセスタイム(本例では、4τ) ②以後において、該送受信タイミング設定回路 210に設定された図示のタイミングに従って、任意に共通バス 3に送出③され、中央処理装置(CPU) 1に読み取られ、必要とするデータ(例えば、4 M バイト)のみを最少のバス使用率(本例では、4τ)で読み取ることができる。ことが分かる。

尚、上記の実施例においては、読み出しの例で説明したが、該記憶装置(MEM 1～MEM N) 21～2Nに対する書き込みの場合についても、同様にして適用できることは云う迄もないことである。

このように、本発明は、双方向性の共通バスを用いたデータ処理システムにおいて、該共通バスに接続される記憶装置をN個に分割し、該N個の記憶装置のそれぞれに、中央処理装置(CPU)からのコマンドにより、読み出し、又は書き込みデー

マンドにより、読み出しデータ、又は書き込みデータの送受信タイミングを設定する手段と、該N個の記憶装置のそれぞれに対するアクセスを抑止する指示を設定することにより、該N個の記憶装置の内、上記抑止指示を設定する回路にアクセスの抑止を指示された記憶装置を除いた複数個の記憶装置に対して、上記設定した送受信タイミングでアクセスするようにしたものであるので、アクセスしたいデータ長に比較して、1回のアクセスでアクセスできるデータ幅の短い双方向性の共通バスを備えた計算機システムにおいても、記憶装置に対する効率の良いデータアクセスができると云う効果がある。

4. 図面の簡単な説明

第1図は本発明の記憶装置アクセス制御方式の構成例を示した図。

第2図は本発明による記憶装置アクセス動作の例をタイムチャートで示した図。

第3図は従来の記憶装置アクセス制御方式を説明

タの送受信タイミングを設定する回路と、メモリアクセスを抑止する指示を設定する回路とを設けて、該記憶装置に対するアクセスに先立って、連続した送受信タイミング、或いは任意の、互いに競合しない送受信タイミングと、特定の記憶装置にメモリアクセスを抑止する指示を設定した後、例えば、読み出し命令を発行すると、該命令が全ての記憶装置(MEM 1～MEM N)に設定された後、抑止指示を設定されなかった記憶装置からのみ、上記コマンドで設定された送受信タイミングに従って、共通バスにデータが送出され、中央処理装置(CPU)に読み取られるようにしたところに特徴がある。

(発明の効果)

以上、詳細に説明したように、本発明の記憶装置アクセス制御方式は、双方向性の共通バスを用いたデータ処理システムにおいて、該共通バスに接続されている記憶装置をN個に分割し、該N個の記憶装置のそれぞれに、中央処理装置からのコ

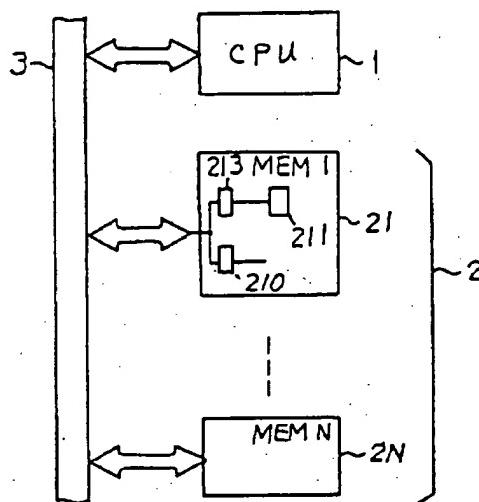
する図。
である。

図面において、

- 1 は中央処理装置(CPU), 2 は記憶装置(MEM),
21～2Nは記憶装置(MEM 1～MEM N),
210 は送受信タイミング設定回路,
211 はメモリアクセス抑止回路,
213 は命令レジスタ,
①～④はアクセス動作,
をそれぞれ示す。

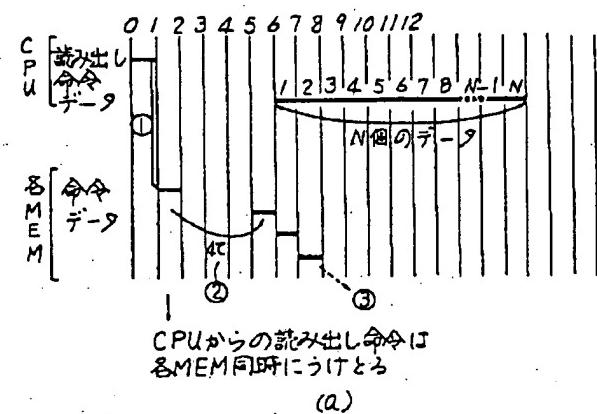
代理人　弁理士　井桁貞一





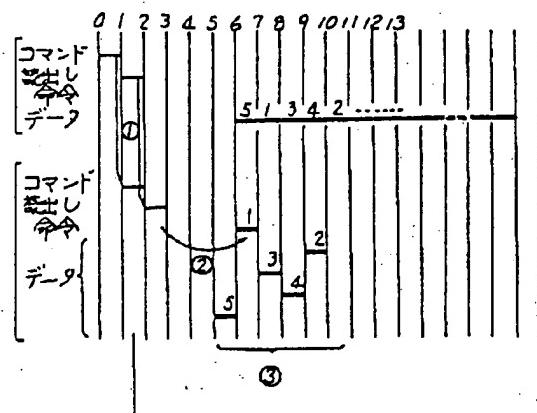
本発明の記憶装置アクセス制御方式の構成例を示した図

第1 図 F/G. 1



本発明による記憶装置アクセス動作の例をタイムチャートで示した図

第2 図 (その1)

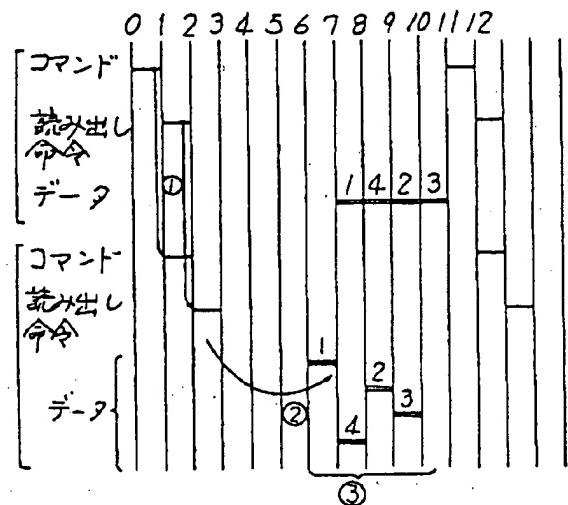


各MEMの送受信タイミング設定回路に値を設定

(b)

本発明による記憶装置アクセス動作の例をタイムチャートで示した図

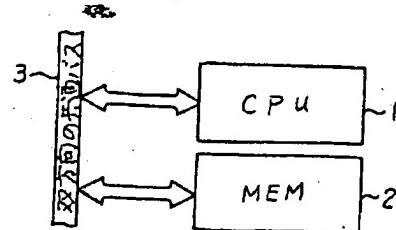
第2 図 (その2)



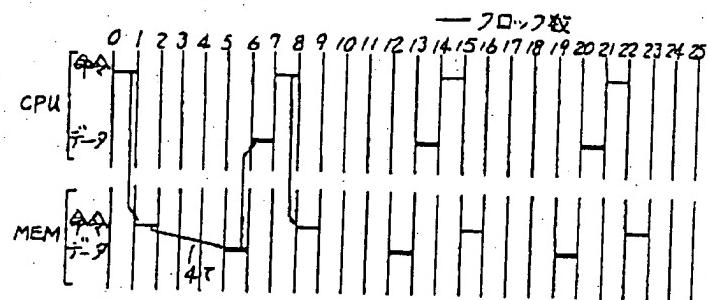
(c)

本発明による記憶装置アクセス動作の例をタイムチャートで示した図

第2 図 (その3)



(a)



(b)

従来の記憶装置アクセス制御方式を説明する図

第3図